



MicroPatent® PatSearch Fulltext: Record 1 of 1

Search scope: JP (bibliographic data only)

Years: 1836-2005

Patent/Publication No.: ((JP2003015954))

[Order This Patent](#)

[Family Lookup](#)

[Find Similar](#)

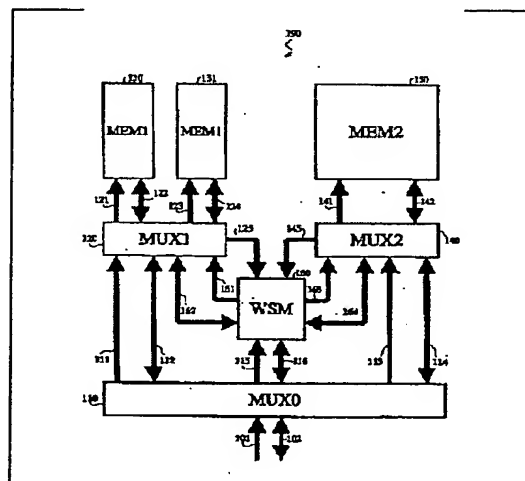
[Legal Status](#)

[Go to first matching text](#)

JP2003015954 A
SEMICONDUCTOR MEMORY
DEVICE AND INFORMATION
APPARATUS, ACCESS PERIOD
SETTING METHOD FOR
SEMICONDUCTOR MEMORY
DEVICE
SHARP CORP

Abstract:

PROBLEM TO BE SOLVED: To decrease the probability that memory control by data transfer operation competes with memory control from outside. **SOLUTION:** A semiconductor memory device 190 has memory blocks 130, 131 of fast write operation, a memory block 150 of slow write operation and a memory control means (switching circuits 110, 120, 140, a WSM 160 and a control bus and a data bus between them) that permits data transfer operation between one of the memory blocks 130, 131 and the memory block 150, and performs the memory operations of read/write/erase operation or the like regarding the another of the memory blocks 130, 131 based on an access operation from outside. Thus, the memory control means permits access operation for the memory blocks 130, 131 of two divided small individual storage areas respectively and independently.



[Click here for larger image.](#)

Inventor(s):

SUMITANI KEN
 FUKUI YOKO

Application No. 2001197537 JP2001197537 JP, Filed 20010628, A1
 Published 20030117

Int'l Class: G06F01206
 G11C00700 G11C01141

Patents Citing This One No US, EP, or WO patent/search reports have cited

BEST AVAILABLE COPY

this patent.



For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-15954
(P2003-15954A)

(43) 公開日 平成15年1月17日 (2003. 1. 17)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 6 F 12/06	5 5 0	G 0 6 F 12/06	5 5 0 B 5 B 0 1 5
	5 2 2		5 2 2 A 5 B 0 6 0
	5 2 5		5 2 5 C
G 1 1 C 7/00	3 1 1	G 1 1 C 7/00	3 1 1 A
11/41		11/34	Z
審査請求 未請求 請求項の数12 O L (全 16 頁)			

(21) 出願番号 特願2001-197537(P2001-197537)

(22) 出願日 平成13年6月28日 (2001. 6. 28)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 隅谷 憲

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 福井 陽康

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

Fターム(参考) 5B015 JJ21 KB36 KB52 PP06

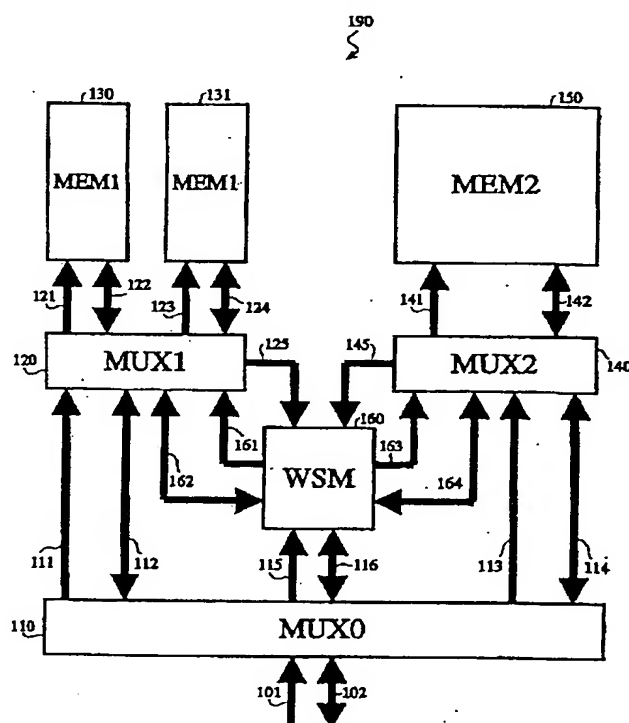
5B060 CA17 MM03

(54) 【発明の名称】 半導体記憶装置および情報機器、半導体記憶装置のアクセス期間設定方法

(57) 【要約】

【課題】 データ転送動作によるメモリの制御と外部からのメモリの制御が競合する確率を低下させる。

【解決手段】 半導体記憶装置190は、書き込み動作の速いメモリブロック130、131と、書き込み動作の遅いメモリブロック150と、外部からのアクセス動作に基づいて、メモリブロック130、131の一方とメモリブロック150の間でデータ転送動作を可能とすると共に、メモリブロック130、131の他方に対して、読出し・書込み・消去動作などのメモリ動作を行うメモリ制御手段（切り替え回路110、120、140、WSM160およびそれらの間の制御バスとデータバス）とを有している。このように、メモリ制御手段は、二つの各小記憶領域に分割したメモリブロック130、131をそれぞれ独立してアクセス動作可能としている。



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-15954

(P2003-15954A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl. ⁷	識別記号	F I	テーマト* (参考)
G 0 6 F 12/06	5 5 0	G 0 6 F 12/06	5 5 0 B 5 B 0 1 5
	5 2 2		5 2 2 A 5 B 0 6 0
	5 2 5		5 2 5 C
G 1 1 C 7/00	3 1 1	G 1 1 C 7/00	3 1 1 A
11/41		11/34	Z
審査請求 未請求 請求項の数12 O L (全 16 頁)			

(21) 出願番号 特願2001-197537(P2001-197537)

(22) 出願日 平成13年6月28日 (2001.6.28)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 隅谷 憲

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 福井 陽康

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

F ターム(参考) 5B015 JJ21 KB36 KB52 PP06

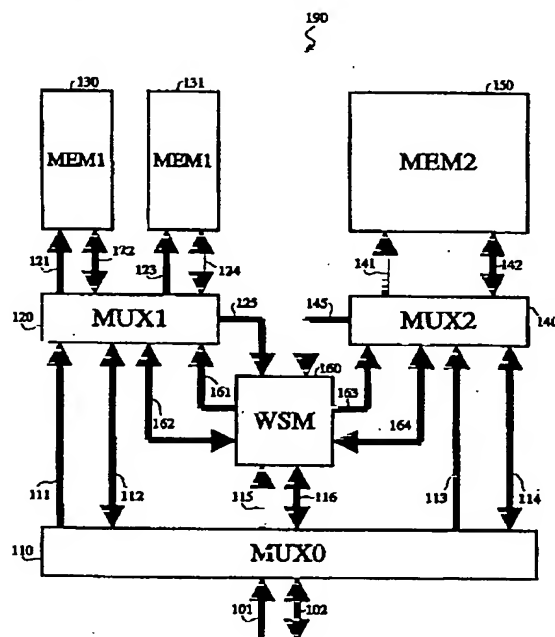
5B060 CA17 MM03

(54) 【発明の名称】 半導体記憶装置および情報機器、半導体記憶装置のアクセス期間設定方法

(57) 【要約】

【課題】データ転送動作によるメモリの制御と外部からのメモリの制御が競合する確率を低下させる。

【解決手段】半導体記憶装置190は、書き込み動作の速いメモリブロック130、131と、書き込み動作の遅いメモリブロック150と、外部からのアクセス動作に基づいて、メモリブロック130、131の一方とメモリブロック150の間でデータ転送動作を可能とすると共に、メモリブロック130、131の他方に対して、読出し・書き込み・消去動作などのメモリ動作を行うメモリ制御手段(切り替え回路110、120、140、WSM160およびそれらの間の制御バスとデータバス)とを有している。このように、メモリ制御手段は、二つの各小記憶領域に分割したメモリブロック130、131をそれぞれ独立してアクセス動作可能としている。



【特許請求の範囲】

【請求項1】 それぞれ複数のメモリ素子で構成された第1および第2記憶手段と、外部からの制御指令に基づいて、該第1および第2記憶手段間でデータ転送動作を可能とすると共に、該第1および第2記憶手段の少なくとも何れかに対してメモリ動作を可能とするメモリ制御手段とを有する半導体記憶装置において、該第1および第2記憶手段のうち少なくとも何れかの記憶手段を複数の小記憶領域で構成し、該メモリ制御手段は、該小記憶領域毎に独立して同時にアクセス動作を実行可能とする半導体記憶装置。

【請求項2】 前記メモリ制御手段は、前記複数の小記憶領域のうち、一つの小記憶領域をデータ転送に使用するときは他の一つの小記憶領域をメモリ動作に使用するかまたは／および、一つの小記憶領域をメモリ動作に使用するときは他の一つの小記憶領域もメモリ動作に別個に使用することにより、データ転送動作とメモリ動作または／および、各メモリ動作同士を同時に実行可能とする請求項1記載の半導体記憶装置。

【請求項3】 異なる種類のメモリ素子で構成された前記第1および第2記憶手段のうち書き込み動作の速い記憶手段を複数の小記憶領域で構成した請求項1または2記載の半導体記憶装置。

【請求項4】 前記メモリ制御手段は、前記第1および第2記憶手段のうち少なくとも何れかの記憶手段に対するアクセス動作毎に必要最小限のアクセス期間に制限するアクセス動作手段と、該アクセス動作手段で制限されたアクセス期間内に所定のメモリデータを記憶する第3記憶手段とを有する請求項1～3の何れかに記載の半導体記憶装置。

【請求項5】 それぞれ複数のメモリ素子で構成された第1および第2記憶手段と、外部からの制御指令に基づいて、該第1および第2記憶手段間でデータ転送を可能とすると共に、該第1および第2記憶手段の少なくとも何れかに対してメモリ動作を可能とするメモリ制御手段とを有する半導体記憶装置において、該メモリ制御手段は、前記第1および第2記憶手段のうち少なくとも何れかの記憶手段に対するアクセス動作毎に必要最小限のアクセス期間に制限するアクセス動作手段を有する半導体記憶装置。

【請求項6】 アクセスが完了したときにアクセス完了信号を生成するアクセス完了信号生成手段が設けられ、前記アクセス動作手段は、該アクセス完了信号を受けてアクセス許可信号により開始した前記アクセス期間を終了する請求項4または5記載の請求項半導体記憶装置。

【請求項7】 前記アクセス動作手段で制限されたアクセス期間内に所定のメモリデータを記憶する第3記憶手段を有し、前記メモリ制御手段は、前記第1および第2記憶手段のうち少なくとも何れかからデータを読み出すときに、前記アクセス動作手段で制限されたアクセス期

間内に、データの読み出し動作を実行し、その読み出したデータを前記第3記憶手段に記憶させる請求項4～6の何れかに記載の請求項半導体記憶装置。

【請求項8】 前記メモリ制御手段は、異なる種類のメモリ素子で構成された前記第1および第2記憶手段のうち書き込み動作の速い記憶手段からデータを読み出すようにした請求項7記載の請求項半導体記憶装置。

【請求項9】 前記メモリ制御手段は、前記アクセス動作手段で制限されたアクセス期間内に、前記第1および第2記憶手段のうち少なくとも何れかにデータを書き込むようにした請求項4～8の何れかに記載の半導体記憶装置。

【請求項10】 一つの半導体チップ上に集積した請求項1～9の何れかに記載の半導体記憶装置。

【請求項11】 請求項1～10の何れかに記載の半導体記憶装置を用いてデータ転送動作およびメモリ動作の少なくとも何れかまたは、少なくとも二つのメモリ動作をアクセス期間内に行う情報機器。

【請求項12】 アクセスが完了したときにアクセス完了信号を生成し、該アクセス完了信号を受けた時点で、アクセス許可信号により開始したアクセス期間を終了する半導体記憶装置のアクセス期間設定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、内部で高速データ転送が実行される半導体記憶装置およびこれを用いた情報機器、この半導体記憶装置のアクセス期間設定方法に関する。

【0002】

【従来の技術】従来、EEPROM（フラッシュメモリ）のように書き込み時間が、SRAM（Static Random Access Memory）やDRAM（Dynamic Random Access Memory）と比較して大幅に長い半導体記憶装置の高速書き込み手段として、予め内蔵されたSRAMなどの別種のメモリ素子で構成されたバッファ領域へデータを書き込み、それらのデータをまとめてEEPROMへ転送する方法が使用されている。

【0003】この方法には、バッファ領域はあくまでバッファ領域であり別の用途に使うには制限が大きいことや、通常は、バッファ領域へ書き込むデータが別のメモリ上に予め展開されるため、メモリの使用効率が悪いことなどの欠点も挙げられる。

【0004】これらの欠点を解決するために、本発明者らが以前出願した特願2000-176182号「半導体記憶装置」では、バッファではなく別種のメモリを内蔵し、高速書き込み可能なメモリとEEPROMなどの不揮発性半導体記憶素子との間でデータ転送手段を設けることにより、更なる書き込みの高速化とメモリの使用効率の向上を可能としている。

【0005】この発明によれば、通常のワークなどに使

用するRAMのデータをEEPROMなどに転送できるため、予め別の領域に書き込むデータを展開したり、バッファへの書き込みのために別途EEPROMなどに対して制御を行うことが不要である。内蔵された高速書き込み可能なメモリをシステムのワーク用途などに使用するには、外部からのメモリ動作とデータ転送動作との同時動作が必須であり、そのためには高速書き込み可能なメモリとしてデュアルポートメモリを使用することが望ましい。

【0006】しかし、デュアルポートメモリはセル面積の大幅な増加やメモリ素子の特性悪化などの問題があり、メモリ容量が大きくなるに従ってコストの上昇・実装面積の増加・性能ダウンなどのデメリットも大きい。

【0007】図10は、従来の半導体記憶装置の要部構成例を示すブロック図である。図10を用いて、従来の書き込み速度の速いメモリ素子で構成されるメモリと書き込み速度の遅いメモリ素子で構成されるメモリの両メモリに対するメモリ動作と、両メモリ間で記憶内容をデータ転送するデータ転送動作とを実行する半導体記憶装置について説明する。データ転送動作は、書き込みの速いメモリから書き込みの遅いメモリへのデータ転送が主である。逆方向のデータ転送も、外部の制御装置などの負担を軽減することができるので有用ではあるが、データ転送動作に大きな相違はないので、ここでは、書き込み速度の速いメモリから書き込み速度の遅いメモリへのデータ転送のみについて説明する。

【0008】図10に示すように、半導体記憶装置490は、外部から引き込まれた制御バス401およびデータバス402と、外部からの制御指示内容に従って各部に情報を伝達する切り替え回路410(MUX0)と、データ転送動作などを制御するWSM460(以下WSM460という)と、高速書き込みが可能なメモリ素子で構成されたSRAMなどのメモリ430(MEM1)と、WSM460から指示されるメモリ430への制御と外部から指示されるメモリ430への制御を切り替える切り替え回路420(MUX1)と、書き換え可能なメモリ素子で構成されたフラッシュメモリなどのメモリ450(MEM2)と、WSM460から指示されるメモリ450への制御と外部から指示されるメモリ450への制御を切り替える切り替え回路440(MUX2)とを備えている。

【0009】半導体記憶装置490の外部からアドレスバスを含む制御バス401とデータバス402を使用して、指示された制御情報は、切り替え回路410により、その制御情報がメモリ430に対するものであれば、その制御情報は制御バス411とデータ入出力バス412を使用して切り替え回路420へ伝達され、また、その制御情報がメモリ450に対するものであれば、制御情報は制御バス413とデータ入出力バス414を使用して切り替え回路440へ伝達される。さら

に、データ転送動作に関連する制御情報であれば、制御情報は制御バス415とデータ入出力バス416を使用してWSM460へ伝達される。

【0010】ただし、メモリ450への書き込み動作は、EEPROMのように複雑な制御が要求される場合は、WSM460が必要となるので、切り替え回路410はデータ転送動作と同様に制御バス415とデータバス416により、WSM460に書き換え動作を指示する。

【0011】次に、半導体記憶装置490の具体的な動作を説明する。

【0012】メモリ430からの読み出しを外部から実行するとき、制御バス401を介して切り替え回路410にメモリ430からの読み出しを指示する。切り替え回路410は、制御バス401を介して指示された制御情報がメモリ430の読み出し動作であれば、制御バス411を介して切り替え回路420に読み出し動作を指示すると共に、切り替え回路420により制御バス421を介して、指示されたメモリ430の読み出しが指示される。

【0013】メモリ430は、制御バス421を介して読み出し動作が指示されたとき、対象となるメモリ素子に格納されたデータを読み出し、そのデータをデータバス422から切り替え回路420に出力する。切り替え回路420は、データバス422から読み出したデータを受け取り、そのデータをデータバス412を介して切り替え回路410に伝達する。

【0014】切り替え回路410は、データバス412から受け取ったデータをデータバス402によって外部に出力する。以上の一連の動作で、外部からメモリ430からの読み出しが可能となる。

【0015】次に、メモリ430への書き込みを外部から実行するとき、制御バス401から切り替え回路410を介してメモリ430への書き込みを指示し、書き込みデータをデータバス402から切り替え回路410に入力する。

【0016】切り替え回路410は、制御バス401を介して指示された制御情報がメモリ430への書き込み動作であれば、制御バス411を介して切り替え回路420に書き込み動作を指示し、書き込みデータをデータバス412を介して切り替え回路420に入力する。

【0017】切り替え回路420は、制御バス421を介してメモリ430に書き込みを指示し、書き込むべきデータをデータバス422を介して入力する。

【0018】メモリ430は、制御バス421を介して書き込み動作が指示されたとき、データバス422を介して入力されたデータを、対象となるメモリ素子に書き込む。以上の一連の動作で、外部からメモリ430に対する書き込みが可能となる。

【0019】なお、メモリ450からの読み出しを外部

から実行するときの動作は、メモリ430からのデータ読み出しを外部から実行するときと同様の制御動作で実現できるので、ここではその説明を省略する。

【0020】次に、メモリ450への書き込みを外部から実行するとき、メモリ450を構成するメモリ素子が単純な書き込み処理が可能な素子であれば、メモリ430への書き込み動作と同様の制御動作で実現できるが、例えばEEPROMのように制御が複雑なメモリであれば、書き込み制御にWSM460が必要になる。

【0021】このような場合は、外部から制御バス401を介してメモリ450に対する書き込み制御が指示され、書き込みデータがデータバス402によって指定されたとき、切り替え回路410は制御バス415とデータバス416を用いて書き込み制御をWSM460に指示する。

【0022】この書き込み動作の制御は制御バス463を用いて切り替え回路440に伝えられ、書き込みデータは切り替え回路410から直接データバス414を介して入力されるかまたは、データバス416を介してWSM460から書き込みデータがデータバス464を介して入力される。

【0023】切り替え回路440は、制御バス441を用いてメモリ450への書き込みを制御し、書き込みデータをデータバス442を介してメモリ450に入力する。

【0024】WSM460を使用する場合、メモリ450が例えばEEPROMのように制御が複雑なメモリであっても、以上の一連の動作でメモリ450に対する書き込みが可能となる。

【0025】次に、メモリ430からメモリ450へのデータ転送動作について説明する。データ転送動作が必要になるのは、主に書き込みの遅いメモリから書き込みの遅いメモリにデータを転送する場合であるので、この場合について説明する。なお、書き込みの遅いメモリから書き込みの遅いメモリへのデータ転送機能は、外部制御装置の負担を軽減するために有用であり、従来技術で実現できるが、制御方法は書き込みの遅いメモリから書き込みの遅いメモリへの転送とほぼ同様なので、ここではその説明を省略する。

【0026】外部から制御バス401とデータバス402を介して切り替え回路410にデータ転送動作（制御コマンドによる制御指令）が指示されると、切り替え回路410はWSM460に制御バス415とデータバス416を介して、データ転送動作が指示されたことやデータ転送する領域など、データ転送に関する必要な情報を伝達する。

【0027】WSM460は、制御バス415とデータバス416を介して、メモリ430からメモリ450へのデータ転送動作が指示されると、制御バス461を介してメモリ430に転送されるデータの読み出しを切り

替え回路420に指示する。

【0028】切り替え回路420は、制御バス461を介して指示されたメモリ430にあるデータの読み出しを制御バス421とデータバス422を介して行い、読み出し結果をデータバス462を通じてWSM460に伝える。

【0029】転送するデータを切り替え回路420から得たWSM460は、制御バス463を用いてメモリ450へのデータの書き込みを切り替え回路440に指示する。

【0030】書き込むデータは、データバス464を用いて、切り替え回路440に伝達する。切り替え回路440は、制御バス463およびデータバス464から指示されたメモリ450への書き込み動作を、制御バス441とデータバス442を用いて実行する。

【0031】複数のデータを転送する動作では、WSM460は、以上のデータ転送を、対象となる全てのデータに対して実行することで、データ転送動作を完了する。

【0032】ここで、WSM460から指定されるメモリ430からの読み出し動作と、外部からのメモリ430への制御指令（制御コマンド）が重複した場合、切り替え回路420は制御指令情報の重複を判定し、判定信号425によって制御指令情報が重複したことをWSM460に伝達する。

【0033】半導体記憶装置490がデータ転送動作中にもメモリ430へのアクセス動作を許す仕様であれば、メモリ430に対して外部からの制御情報と、WSM460からの制御情報とが重複する可能性がある。制御情報が重複した場合の切り替え回路420の動作は半導体記憶装置490の仕様によって異なり、データ転送動作よりも外部からのメモリ動作を優先する仕様では、切り替え回路420は制御バス421とデータバス422を用いてメモリ430を制御し、読み出し動作であればデータバス412を用いて切り替え回路410に読み出し結果を伝達する。

【0034】また、外部からの制御指令によりもデータ転送動作を優先する仕様では、制御情報が重複したとき、切り替え回路420は制御バス421とデータバス422を用いてデータ転送動作から、指示されたメモリ430へのアクセス動作を実行し、外部からのメモリ動作がキャンセルされた旨を判定信号425を用いてWSM460へ伝達する。この仕様では外部からのアクセスが正常に実行されない可能性があるため、制御が正常に完了したか否かを外部から確認する手段が必要となるが、その確認動作は外部から制御バス415とデータバス416を用いて指示され、WSM460との間で制御バス415とデータバス416を用いて制御信号425の結果を表す内容がWSM460から切り替え回路410に伝達され、さらにデータバス402を介して切り替

え回路410から外部に出力される。

【0035】外部からのメモリ動作の完了を確認する他の手段として、判定信号425をWSM460に伝達するのではなく、判定信号425を切り替え回路410に伝達し、外部からのメモリ動作の完了の確認を切り替え回路410だけで実行する構成としてもよい。

【0036】メモリ450に対する制御指令も、外部からのメモリ動作とWSM460からのデータ転送動作を独立して実行できる仕様も可能であるが、動作はメモリ430への制御と同様なので、ここではその説明を省略する。

【0037】以上のように、従来技術でもデータ転送動作と外部からのメモリ動作を独立して実行することは可能であるが、データ転送動作を外部からのメモリ動作よりも優先させる仕様では外部からのメモリ動作が一般のメモリに比べて複雑になり、外部からのメモリ動作をデータ転送動作よりも優先させる仕様ではデータ転送動作に影響を与えることが避けられず、データ転送動作の所要時間が延びてしまう。特に、外部からのメモリ動作が頻繁な場合や、外部からのメモリ動作を長時間かけて行う場合には、データ転送動作による制御と重複する確率が飛躍的に高まり、これらの状況ではデータ転送動作への影響は大きくなる。

【0038】

【発明が解決しようとする課題】書き込みの速いメモリと書き込みの遅いメモリの間でデータを転送する転送機能を有する従来の半導体記憶装置では、書き込みの速いメモリをシステムのワークメモリ用途などに使用することができる。また、データ転送を実行中に、次に書き込みの遅いメモリに転送すべきデータを書き込みの速いメモリの別の領域に一旦書き込んでおくことで、データ転送のパフォーマンスの向上が期待できる。

【0039】書き込みの速いメモリとして代表的なSRAMやDRAMでは、読み出しも書き込みもほぼ同等のサイクルで高速に実行され、これらの制御は特殊な状況を除いてデバイスの状態に関わり無く実行でき、さらに読み出しや書き込みのベリファイは行なわれず、もしデバイスの状態の制約から要求された読み出しや書き込みが失敗する可能性があるならば、制御の成否を外部に出力して、外部の制御装置がこの成否信号を受け取って表示するなどそれに対応する必要がある。

【0040】このような煩雑さを避けるために、書き込みの速いメモリには、データ転送動作の実行中か否かを問わずに外部からのメモリ動作を優先的に処理する仕様が要求されることが多い。

【0041】しかし、外部からのメモリ動作が行なわれたときに、データ転送動作を中断することは、データ転送速度の低下の原因となり、特に、外部からのメモリ動作が頻繁である場合や一つの制御（メモリ動作）が長時間にわたって行なわれる場合には、データ転送速度の低

下が顕著になる。

【0042】これを避けるために、データ転送元となるメモリにデュアルポートメモリを使用することも可能であるが、デュアルポートメモリではセル面積の増大などが避けられず、コストの上昇や実装面積の増大に直結するなど、デメリットも大きい。

【0043】本発明は、上記事情に鑑みて為されたもので、外部からのメモリ動作とデータ転送動作とが競合する確率を低下させることができる半導体記憶装置およびこれを用いた情報機器、この半導体記憶装置のアクセス期間設定方法を提供することを目的とする。

【0044】

【課題を解決するための手段】本発明の半導体記憶装置は、それぞれ複数のメモリ素子で構成された第1および第2記憶手段と、外部からの制御指令に基づいて、第1および第2記憶手段間でデータ転送動作を可能とすると共に、第1および第2記憶手段の少なくとも何れかに対してメモリ動作を可能とするメモリ制御手段とを有する半導体記憶装置において、第1および第2記憶手段のうち少なくとも何れかの記憶手段を複数の小記憶領域で構成し、メモリ制御手段は、小記憶領域毎に独立して同時にアクセス動作を実行可能とするものであり、そのことにより上記目的が達成される。ここで、アクセス動作とは、メモリ動作の読出し、書込み、消去およびベリファイなどを含み、さらにはデータ転送時のメモリに対する読出し、書込み動作をも含むものとする。

【0045】また、好ましくは、本発明の半導体記憶装置におけるメモリ制御手段は、複数の小記憶領域のうち、一つの小記憶領域をデータ転送に使用するときは他の一つの小記憶領域をメモリ動作に使用するかまたは／および、一つの小記憶領域をメモリ動作に使用するときは他の一つの小記憶領域もメモリ動作に別個に使用することにより、データ転送動作とメモリ動作または／および、各メモリ動作同士を同時に実行可能とする。

【0046】さらに、好ましくは、本発明の半導体記憶装置において、異なる種類のメモリ素子で構成された第1および第2記憶手段のうち書き込み動作の速い記憶手段を複数の小記憶領域に分割して構成する。

【0047】さらに、好ましくは、本発明の半導体記憶装置におけるメモリ制御手段は、第1および第2記憶手段のうち少なくとも何れかの記憶手段に対するアクセス動作毎に必要な最小限のアクセス期間に制限するアクセス動作手段と、アクセス動作手段で制限されたアクセス期間内に所定のメモリデータを記憶する第3記憶手段とを有する。

【0048】さらに、好ましくは、本発明の半導体記憶装置は、それぞれ複数のメモリ素子で構成された第1および第2記憶手段と、外部からの制御指令に基づいて、第1および第2記憶手段間でデータ転送を可能とすると共に、第1および第2記憶手段の少なくとも何れかに対

してメモリ動作を可能とするメモリ制御手段とを有する半導体記憶装置において、メモリ制御手段は、第1および第2記憶手段のうち少なくとも何れかの記憶手段に対するアクセス動作毎に必要な最小限のアクセス期間に制限するアクセス動作手段を有するものであり、そのことにより上記目的が達成される。

【0049】さらに、好ましくは、本発明の半導体記憶装置における第1および第2記憶手段のうち少なくとも何れかには、アクセスが完了したときにアクセス完了信号を生成するアクセス完了信号生成手段が設けられ、アクセス動作手段は、このアクセス完了信号を受けてアクセス許可信号により開始したアクセス期間を終了する。また、本発明の半導体記憶装置のアクセス期間設定方法は、アクセスが完了したときにアクセス完了信号を生成し、このアクセス完了信号を受けた時点で、アクセス許可信号により開始したアクセス期間を終了するものであり、そのことにより上記目的が達成される。

【0050】さらに、好ましくは、本発明の半導体記憶装置において、アクセス動作手段で制限されたアクセス期間内に所定のメモリデータを記憶する第3記憶手段を有し、メモリ制御手段は、第1および第2記憶手段のうち少なくとも何れかからデータを読み出すときに、アクセス動作手段で制限されたアクセス期間内に、データの読み出し動作を実行し、その読み出したデータを前記第3記憶手段に記憶させる。

【0051】さらに、好ましくは、本発明の半導体記憶装置におけるメモリ制御手段は、異なる種類のメモリ素子で構成された第1および第2記憶手段のうち書き込み動作の速い記憶手段からデータを読み出す。

【0052】さらに、好ましくは、本発明の半導体記憶装置におけるメモリ制御手段は、アクセス動作手段で制限されたアクセス期間内に、第1および第2記憶手段のうち少なくとも何れかにデータを書き込む。

【0053】また、好ましくは、より高速な動作のために、請求項1～9の何れかに記載の半導体記憶装置を一つの半導体チップ上に集積する。

【0054】本発明の情報機器は、請求項1～9の何れかに記載の半導体記憶装置を用いてデータ転送動作およびメモリ動作の少なくとも何れかまたは、少なくとも二つのメモリ動作をアクセス期間内に行うものであり、そのことにより上記目的が達成される。

【0055】本発明の作用について説明すると、本発明では、第1および第2記憶手段のうち、書き込みの速い記憶手段を、独立してメモリ動作およびデータ転送動作が実行可能な複数の小記憶領域に構成し、一方の領域をデータ転送動作に使用するときにはもう他方の領域を外部から独立して同時にアクセス動作を実行可能とするメモリ制御手段を備えることで、外部からの制御指令によるメモリ動作と別の制御指令によるデータ転送動作を並行して同時に実行することが可能となる。また、外部から

の別々の制御指令による各メモリ動作を並行して同時に実行することが可能となる。

【0056】また、メモリ制御手段が、実際にメモリアレイが活性化するアクセス期間に限定することで、メモリ動作およびデータ転送動作、別々のメモリ動作を、時系列ではあるが、アクセス動作毎に制限された必要最小限のアクセス期間毎に効率的に行うことが可能となる。よって、例えば、書き込みの速いメモリに対して要求された読み出し動作の読み出し結果をラッチし、書き込みの速いメモリの動作を効率的に行うことが可能となる。

【0057】さらに、書き込みの速い領域を独立して動作が可能な複数の領域で構成する手段と、書き込みの速い記憶手段のメモリアレイを活性化する期間を必要最小限に限定する手段を同時に適用すれば、アクセス動作を更に効率的に行うことが可能となる。

【0058】以上の何れの場合にも、外部からのメモリ動作とデータ転送動作とが競合する確率を低下させることができ、外部からのメモリ動作を優先的に処理しつつデータ転送動作の速度低下を抑制するかまたは、データ転送動作を優先的に処理しつつ外部からのメモリ動作が妨害される確率を低減することが可能となる。

【0059】

【発明の実施の形態】以下、本発明の実施形態の半導体記憶装置の実施形態1～3について図面を参照しながら説明する。

（実施形態1）図1は、本発明の実施形態1における半導体記憶装置の要部構成例を示すブロック図である。なお、図1には、本発明による半導体記憶装置のうち、この発明の説明に必要な部分のみ図示している。図1に示す半導体記憶装置190の構成は本発明による半導体記憶装置の構成の一例であり、別の構成、例えばデータバスの少なくとも一部をデータ入力バスとデータ出力バスに分けたり、データバスを介するデータ内容を制御信号として利用したり、転送動作時の転送するデータがライト・ステート・マシン（Write State Machine；以下WSMという）を経由しない構成なども可能であり、本実施形態が図1に示される構成に限定されるものではない。また、半導体記憶装置190の具体的な動作のうち、従来の半導体記憶装置490を例として説明した動作と異なる部分について重点的に説明することにする。

【0060】図1において、本発明の半導体記憶装置190は、書き込み動作の速い第1記憶手段としてのメモリブロック130、131と、書き込み動作の遅い第2記憶手段としてのメモリブロック150と、外部からのアクセス動作に基づいて、メモリブロック130、131の一方とメモリブロック150の間でデータ転送動作を可能とすると共に、メモリブロック130、131の他方に対して、読出し・書き込み・消去動作などのメモリ動作を行うメモリ制御手段（切り替え回路110、120、140、WSM160およびそれらの間の制御バス

とデータバス)とを有している。ここでは、メモリ制御手段は、例えばメモリブロック130をデータ転送動作(またはデータ読出し動作)に使用するときは、メモリブロック131をメモリ動作の読出しまたは書き込みなどに使用することにより、データ転送動作とメモリ動作を同時に実行可能とするようになっている。

【0061】以下、本発明の半導体記憶装置190を更に詳細に説明する。

【0062】切り替え回路120は、外部から書き込みの速いメモリ(メモリブロック130、131)へのアクセス動作を、切り替え回路110から制御バス111を介して指示されると、制御バス111に含まれるアドレスバスからのアドレス信号に基づいて、アクセス動作対象のメモリ素子がメモリブロック130に含まれるか、メモリブロック131に含まれるかを判定する。それが例えばメモリブロック130に含まれるアクセス動作であれば、制御バス121とデータバス122を用いて、指示された動作内容をアクセス動作対象のメモリ素子に対して実行する。また、それが例えばメモリブロック131に対するアクセス動作であれば、制御バス123とデータバス124を用いて、指示された制御指令(制御コマンド)の動作内容をアクセス動作対象のメモリ素子に対して実行する。

【0063】指示されたアクセス動作が読み出し動作(メモリ動作)であれば、データバス112を介して読み出し結果を切り替え回路120から切り替え回路110に伝達し、切り替え回路110はデータバス102を介して外部に読み出しデータを出力する。以上により、外部から書き込み動作の速いメモリ(メモリブロック130、131)へのアクセス動作が可能である。

【0064】次に、データ転送動作時には、切り替え回路120は、制御信号161によって書き込みの速いメモリへのアクセス動作が指示されると、制御バス161に含まれるアドレスバスからのアドレス信号に基づいて、アクセス動作対象のメモリ素子がメモリブロック130に含まれるメモリ素子か、メモリブロック131に含まれるメモリ素子かを判定する。

【0065】それが例えばメモリブロック130に対するアクセス動作を指示しているのであれば、制御バス121とデータバス122を用いて、指示された動作を実行する。また、それが例えばメモリブロック131に対するアクセス動作であれば、制御バス123とデータバス124を用いて、指示された動作を実行する。

【0066】指示されたアクセス動作が、読み出し動作であれば、データバス162を介して読み出し結果を切り替え回路120からWSM160に伝達する。これにより、データ転送動作において、書き込み動作が速いメモリへのアクセス動作が可能である。

【0067】メモリブロック130、131はそれぞれ、独立した動作が可能であるから、データ転送動作で

WSM160によって何れか一方のメモリ(例えばメモリブロック130)がアクセス動作されると同時に、外部から制御バス101とデータバス102を用いて他方のメモリ(例えばメモリブロック131)に対してアクセス動作することも可能となる。

【0068】メモリブロック130、131の何れか一方のメモリブロックに対するアクセス動作が重複(データ転送動作と読み出し動作など)したときは、従来の半導体記憶装置490においてメモリ430へのアクセス動作が重複した場合と同様、同時にアクセス動作することができないが、切り替え回路120は優先度の高い制御指令(例えばデータ転送動作またはメモリ動作)を、制御バス121とデータバス122(メモリブロック130)、または制御バス123とデータバス124(メモリブロック131)を用いて実行し、判定信号125によってWSM160に優先度の低い動作が正常に完了しなかった可能性があることを伝達する。

【0069】以上のように、本実施形態1の半導体記憶装置190を用いれば、データ転送動作に例えばメモリブロック130を使用し、これと同時に別のメモリブロック131を外部からアクセス動作(メモリ動作)できるので、例えばデータ転送動作に影響を与えずに書き込み動作の速いメモリをワーク用途などに使用することも可能であるし、データ転送動作と並行して次に転送すべきデータを書き込みの速いメモリへ書き込むことによってデータ転送動作が完了した後にすぐに次のデータ転送を開始できるように準備することも可能である。

【0070】このように、2種類のメモリ領域(メモリブロック130、131とメモリブロック150)とその間でデータを転送する転送機能を有する半導体記憶装置において、より汎用的な使用方法の他に、書き込みの速いメモリ(メモリブロック130、131)に対するより効率的なアクセス動作と、書き込みの遅いメモリ(メモリブロック150)に対するより効率的なデータ格納とを実現することができる。

【0071】なお、本実施形態1では、書き込みの速いメモリを独立して動作可能な複数の領域(メモリブロック130、131)で構成する第1および第2記憶手段は、書き込みの遅いメモリ(メモリブロック150)に対しても同様の構成が実現できる。そのような構成によって、データ転送動作中にもデータ転送動作に影響を与えずに外部から書き込みの遅いメモリへのメモリ動作のうち読み出しおよび書き込みの少なくとも一方は動作が可能である。

【0072】また、本実施形態1では、書き込みの速い第1記憶手段は、独立して動作可能なメモリブロック130、131からなる二つの小記憶領域に分割したが、3個以上のメモリブロックにて構成してもよい。(実施形態2)図2は、本発明の実施形態2における半導体記憶装置の要部構成例を示すブロック図である。な

お、図2には、本発明による半導体記憶装置のうち、この発明の説明に必要な部分のみ図示している。図2に示す半導体記憶装置290の構成は本発明による半導体記憶装置の一例であり、本実施形態2の構成に限定するものでないことは上記実施形態1の場合と同様である。また、半導体記憶装置290の具体的な動作のうち、従来の半導体記憶装置490を例として説明した動作と異なる部分について重点的に説明することにする。

【0073】図2において、半導体記憶装置290は、書き込み動作の速い第1記憶手段としてのメモリブロック230と、書き込み動作の遅い第2記憶手段としてのメモリブロック250と、外部からの制御指令（制御コマンド）に基づいて、メモリブロック230とメモリブロック250の間でデータ転送動作を可能とすると共に、メモリブロック230に対して、読出し・書き込み・消去動作などのメモリ動作を行うメモリ制御手段とを有している。

【0074】このメモリ制御手段は、切り替え回路210、220、240、WSM260およびそれらの間の各制御バスとデータバスの他に、切り替え回路220と切り替え回路210間に、ディレイなどのタイミング制御を含む時間設定手段としての制御回路270と、第3記憶手段としてのデータラッチ回路271とを有すると共に、切り替え回路220とWSM260間に、ディレイなどのタイミング制御を含む時間設定手段としての制御回路272と、第3記憶手段としてのデータラッチ回路273とを有し、メモリブロック230へのアクセス動作が指示されたとき、ある期間（アクセス動作毎に必要な最小限に制限されたアクセス期間）経過すると内部的にはそのアクセス動作は終了し、次のアクセス動作が連続的にあっても、本発明では、次のアクセス動作を処理することができるが、周辺の回路によって擬似的に最初のアクセス動作を継続しているように振舞う仕組みを持っている。

【0075】ここで、本発明の特徴部分である制御回路270、272の具体的な回路例について説明する。

【0076】図3は図2の制御回路270、272の具体的な構成例を示す回路図であり、図4は図3の制御回路の入力端と出力端の信号波形図である。図3および図4に示すように、制御回路270、272は、外部またはWSM260からのディセーブル信号CE#（ロウレベルでメモリがイネーブル）の立下りに同期して一定期間ハイレベルの内部活性化信号を出力する。この内部活性化信号がハイレベルになる一定期間（ディレイ期間；必要最低限のアクセス期間）は、回路に含まれるトランジスタの遅延によって決定されるため、メモリに対するアクセス動作が完了するのに十分な期間（アクセス動作毎に必要な最小限に制限されたアクセス期間）を確保できるように、そのトランジスタによる遅延を調整する必要がある。なお、外部からのディセーブル信号CE#は、切

り替え回路210から制御回路270に伝えられ、WSM260からのディセーブル信号CE#は、WSM260から制御回路272に伝えられる。

【0077】なお、図2の制御回路270、272とは別の例を図5および図6を用いて説明する。ここでは、アクセス期間設定方法は、アクセスが完了したときにアクセス完了信号を生成し、このアクセス完了信号を受けた時点で、アクセス許可信号により開始したアクセス期間を終了する。この場合、アクセス完了信号生成手段はメモリブロック230（第1および第2記憶手段のうち少なくとも何れか）または切り替え回路220内に設けられていてもよいし、メモリブロック230の活性化状態を制御回路270、272モニタしてアクセス完了信号を生成するようにしてもよい。

【0078】図5は図3の制御回路とは別の具体的な構成例を示す回路図であり、図6は図5の制御回路の入力端と出力端の信号波形図である。制御回路270、272として図5に示す回路を使用した場合の制御回路を、以下に、制御回路270A、272Aというが、図5および図6に示すように、制御回路270A、272Aは、外部またはWSM260からのアクセス許可信号としてのディセーブル信号CE#（ロウレベルでメモリがイネーブル）の立下りに同期して立ち上がり（ハイレベルになり）、ディセーブル信号CE#の立下りに同期して立ち下がった内部メモリのスタンバイ信号の立ち上がりに同期して立ち下がる内部活性化信号を出力する。内部メモリは、内部イネーブル信号がハイレベルになるとアクセスを開始すると同時に、スタンバイ信号を立ち下げ、アクセスが完了するとスタンバイ信号を立ち上げる。なお、外部からのディセーブル信号CE#は、切り替え回路210から制御回路270に伝えられ、WSM260からのディセーブル信号CE#は、WSM260から制御回路272に伝えられる。また、内部メモリのスタンバイ信号は、メモリブロック230から切り替え回路220に伝わり、それが制御回路270A、272Aの何れかに伝えられる。このスタンバイ信号をアクセス完了信号として用いる。

【0079】図3の上記制御回路270、272では、ディレイによって確実にアクセスが完了するだけの期間を確保する必要があるため、マージンを十分に確保しようとする、アクセスタイムに対して十分に余裕のある期間（アクセス動作毎に必要な最小限に制限されたアクセス期間）を活性化必要があるが、図5の上記制御回路270A、272Aでは、内部のメモリを活性化する期間（アクセス動作毎に必要な最小限に制限されたアクセス期間）を更に縮小して最小限にすることができたため、データ転送の効率が更に向上する。なお、図5の回路に含まれるディレイ回路は、図3の回路とは異なり、回路後段側のフリップフロップ（図5中の回路右端部分の2個のNORゲート回路）を反転させるだけの時間があれば十

分である。

【0080】以下、本発明の半導体記憶装置290を更に詳細に説明する。

【0081】メモリブロック230からのデータの読み出しを外部から実行するとき、制御バス201を介して切り替え回路210にメモリブロック230からのデータの読み出しを指示する。

【0082】切り替え回路210は、指示されたデータ読み出し動作がメモリブロック230に対するものであれば、制御バス211を介して制御回路270に読み出し動作を指示する。

【0083】制御回路270は、制御バス282を介して切り替え回路220にある期間に限ってメモリブロック230からの読み出し動作を指示し、かつ、データラッチ制御信号281をデータラッチ回路271に出力する。

【0084】切り替え回路220は、制御回路270から制御バス282を介した読み出しを指示されると、制御バス221を介してメモリブロック230にデータの読み出しを指示し、その読み出し結果をメモリブロック230からデータバス222を介して受け取り、データバス283を介してデータラッチ回路271に、読み出したデータを伝達する。

【0085】データラッチ回路271は制御回路270が生成するデータラッチ信号281により制御されるが、外部からの読み出しが実行されたときは読み出されたデータをデータバス212を介して切り替え回路210に伝達し、読み出しが開始されてからある期間が経過すると、データバス283から伝達されたデータをラッチし、少なくとも外部からの読み出し動作が終了するまではラッチしたデータをデータバス212を介して切り替え回路210に伝達する。切り替え回路210は受け取ったデータをデータバス202を用いて外部に出力する。

【0086】以上の一連の動作で、メモリブロック230からのデータの読み出しが可能となる。この読み出し動作で実際にメモリブロック230を活性化してデータ読み出しをするのは、読み出しが始まってからある期間（アクセス動作毎に必要な最小限に制限されたアクセス期間）だけであり、その期間が経過すると、メモリブロック230の読み出し動作を終了するので、制御バス221やデータバス222は解放される。

【0087】なお、メモリブロック230が非活性化した後は、データラッチ回路271により、読み出されたデータがラッチされ、切り替え回路210は外部からの読み出しが継続されている間は読み出しデータを受け取り、外部に出力することにより、外部からの見かけ上は、外部からデータ読み出しを指示している期間は常にデータ読み出しが実行されているのと同じ状態になっている。

【0088】この動作により、外部からの一つの読み出し制御が長期間にわたって指示されても、実際には、読み出しが速いメモリブロック230を活性化させる期間を縮小して制限することができるため、例えばデータ転送動作によるWSM260からのアクセス動作と競合する確率を低減させることができる。

【0089】ここで、読出し動作を含むメモリ動作とデータ転送動作との通常の競合状態、またはメモリ動作同士の通常の競合状態においても、競合確率を低減させることができる本発明の効果について詳細に説明する。

【0090】図7(a)および図7(b)に示すようにディセーブル信号CE#（メモリ動作）と内部転送信号（データ転送動作）が重複する場合または、図7(c)に示すように一方（外部操作およびWSMの一方）によるメモリ動作の期間中に、他方によるメモリ動作が複数回実行された場合、ディセーブル信号CE#のロウレベル期間（イネーブル信号CEのハイレベル期間）内であっても、例えば、ディセーブル信号CE#に対する内部活性化信号と、内部転送信号（ディセーブル信号CE#と同様、アクセスを要求する期間にロウレベルになる）に対する内部活性化信号とによりメモリブロック230を時系列に連続して活性化させることができ、メモリブロック230に対してアクセス動作を行うことができる。この場合、従来、ディセーブル信号CE#および内部転送信号が重複している期間では内部活性化信号を活性化（ハイレベル）にすることができなかったが、上記のようにディセーブル信号CE#および内部転送信号が重複していても、内部活性化信号を活性化（ハイレベル）にすることができて、上記競合確率を低減させることができる。

【0091】この場合、外部からのディセーブル信号CE#は、切り替え回路210から制御回路270に伝えられ、WSM260からのディセーブル信号CE#は、WSM260から制御回路272に伝えられる。また、内部転送信号は、WSM260から制御回路272を介して切り替え回路220に伝えられる。内部活性化信号は、ディセーブル信号CE#および内部転送信号の何れかによって立ち上がり、所定期間後に（またはメモリブロック230からの図6のスタンバイ信号のエッジにより）立ち下がって、アクセス動作毎に必要な最小限のアクセス期間に制限するようになっている。以下、図7

(a)～図7(c)のそれぞれの場合について具体的に説明する。

【0092】図7(a)に示すように、ディセーブル信号CE#が内部転送信号よりも先行しつつ重複している場合、ディセーブル信号CE#（メモリ動作）の立下りに同期して内部活性化信号が所定期間立ち上がり、内部転送信号（データ転送動作）の立下りに同期して内部活性化信号が所定期間立ち上がる。ディセーブル信号CE#と内部転送信号のずれた期間T1が内部活性化信号の

所定活性化期間T2よりも長い場合に、ディセーブル信号CE#に対する内部活性化信号と、内部転送信号に対する内部活性化信号とによりメモリブロック230を時系列に連続して活性化させることができる。この場合、内部活性化信号のハイレベル期間T2がディセーブル信号CE#および内部転送信号のロウレベル期間の例えば1/5程度であると仮定すれば、本発明を用いることによって、ディセーブル信号CE#および内部転送信号のロウレベル期間の残りの4/5の期間内に他のディセーブル信号CE#または内部転送信号が重複して競合したとしても、メモリ動作やデータ転送動作が成功することになるから、約80パーセント程度の成功率であると大雑把に試算することができる。

【0093】図7(b)に示すように、内部転送信号がディセーブル信号CE#よりも先行しつつ重複している場合、内部転送信号の立下りに同期して内部活性化信号が所定期間立ち上がり、ディセーブル信号CE#の立下りに同期して内部活性化信号が所定期間立ち上がる。この場合にも、内部転送信号とディセーブル信号CE#のずれた期間が内部活性化信号の所定活性化期間よりも長い場合に、ディセーブル信号CE#に対する内部活性化信号と、内部転送信号に対する内部活性化信号とがメモリブロック230を時系列に連続して活性化させることができる。

【0094】図7(c)に示すように、一方(この例では、外部からのディセーブル信号CE#)によるメモリ動作の期間中に、他方(この例では、WSMからの内部転送信号)によるメモリ動作が複数回実行される場合、ディセーブル信号CE#の立下りに同期して第1内部活性化信号が所定期間立ち上がり、その後の2回の内部転送信号の立下りに同期して第2および第3の内部活性化信号が所定期間順次立ち上がる。この場合、ディセーブル信号CE#による操作が行われている期間の内部転送信号の動作は、転送動作よりも外部からのアクセスを優先させる仕様であれば、従来技術では何回要求されても実施できないが、本実施形態では、メモリブロック230を時系列に連続して活性化させることができる。

【0095】次に、メモリブロック230へのデータの書き込みを外部から実行するとき、制御バス201を介して切り替え回路210にメモリブロック230への書き込みを指示し、書き込みデータをデータバス202を介して切り替え回路210に入力する。

【0096】切り替え回路210は、指示された書き込み動作がメモリブロック230に対するものであれば、制御バス211を介して制御回路270に書き込み動作を指示し、書き込みデータをデータバス212を介してデータラッチ回路271へ伝達する。

【0097】制御回路270は切り替え回路220に対して書き込み動作を制御バス282を介して指示し、データラッチ制御信号281をデータラッチ回路271に

出力して、データバス212からデータラッチ回路271に入力されたデータをデータバス283によって切り替え回路220に伝達するよう指示する。

【0098】切り替え回路220は、制御バス282を介して制御回路270から書き込み動作が指示されると、制御バス221とデータバス222を使用してメモリブロック230に含まれるアクセス対象となるメモリ素子への書き込みを実行する。以上の一連の動作で、外部からメモリブロック230に対する書き込み動作が可能となる。

【0099】この書き込み動作は、実際に、メモリブロック230を活性化してデータの書き込みをするのは、書き込みが始まってからある期間(アクセス動作毎に必要な最小限に制限されたアクセス期間)だけであり、その期間が経過するとメモリブロック230の書き込み動作を終了するので、その後は、制御バス211やデータバス212は解放される。

【0100】したがって、内部的な書き込みの終了後は、外部からの次のデータの書き込みやメモリ250から読み出した転送データなどの書き込みなどを開始することができ、メモリ250からの読出し動作およびWSM260を使用しない書き込み動作が可能となる。

【0101】なお、データの書き込み動作は、データバス212とデータバス283を、データの読み出し時と共通化した場合の動作であり、外部からの書き込み時は、書き込みデータをデータラッチ回路271を経由せずに切り替え回路210から直接切り替え回路220に伝達する、より簡略な構成も可能である。

【0102】次に、データ転送動作時のメモリブロック230へのアクセス動作について説明する。

【0103】データ転送動作が必要になるのは、主に書き込みの速いメモリ(メモリブロック230)から書き込みの遅いメモリ(メモリブロック250)にデータを転送するときで、本実施形態2では、メモリブロック230からメモリブロック250へのデータ転送であるから、まず、その動作について説明する。

【0104】WSM260は、制御バス215とデータバス216を用いてメモリブロック230からメモリブロック250へのデータ転送動作を指示すると、制御バス261を用いてメモリブロック230の転送されるデータの読み出しを制御回路272に指示する。

【0105】制御回路272は、制御バス285を介して切り替え回路220にメモリブロック230からのデータの読み出し動作を指示し、ラッチ制御信号284をデータラッチ回路273に出力して、データバス286を介して切り替え回路220からデータラッチ回路273に出力されたデータを、データバス262を介してWSM260に伝達するように指示する。

【0106】切り替え回路220は、制御バス285を介して読み出し動作が指示されると、制御バス221を

介してメモリブロック230のアクセス対象となるメモリ素子のデータを読み出してデータバス222を介して受け取り、データバス286を介してデータラッチ回路273に伝達する。

【0107】データラッチ回路273は、ラッチ制御信号284によりデータバス286から伝達されたデータを一旦ラッチしてからデータバス262を介してWSM260に伝達する。

【0108】WSM260は、データバス262を介して転送されてきたデータを受け取り、メモリ250に書き込むが、この書き込み動作は従来と同様の方法で実現できるので、ここでの説明は省略する。

【0109】制御回路272は、読み出しが指示されてからある期間後に、データラッチ制御信号284を用いて、ラッチ回路273に、データバス286を介して伝達された読み出し結果をラッチし、このラッチしたデータを、制御バス261を介した読み出し制御が終了するまで、データバス262を介してWSM260に出力させる。

【0110】また、制御回路272は、指示された読み出し制御が継続していても、ある期間が経過すれば、制御バス285を介して切り替え回路220に指示している読み出し動作を終了する。

【0111】以後のWSM260へのデータ出力はデータラッチ回路273がデータバス262を用いて行い、データラッチ回路273がデータをラッチするタイミングは制御回路272が生成するラッチ制御信号284によって行う。

【0112】この制御回路272の動作により、WSM260からは読み出し動作が指示された期間継続されているように扱え、かつ、WSM260からのアクセス動作に要求される期間が長いときでも、制御バス221とデータバス222をWSM260からの読み出し動作に使用する期間（アクセス動作毎に必要な最小限に制限されたアクセス期間）がある程度以下に抑えられる。

【0113】これにより、WSM260からのメモリブロック230へのアクセス動作と、外部からのメモリブロック230へのアクセス動作とが同時に発生しても、擬似的に同時動作できる可能性が生じ、外部の状態に依存しにくいデータ転送動作を実現することができるものである。

【0114】次に、上記したデータ転送方向とは逆方向の場合について説明する。即ち、メモリブロック250からメモリブロック230へのデータ転送動作について説明する。外部からメモリブロック230にデータを書き込む動作と比較して、使用する経路が異なるだけなので、ここではその詳細な説明は省略するが、メモリブロック230への書き込みデータをデータラッチ回路273にラッチすることで異なるメリットが生じる。

【0115】データの書き込み動作で実際に、メモリブ

ロック230を活性化させてデータを書き込みするのは、書き込みが始まってからある期間だけであり、その期間が経過すると、メモリブロック230の書き込み動作を終了するので、その後は、制御バス221やデータバス222は解放される。

【0116】なお、書き込むデータはある所定期間が経過すれば、データラッチ回路271によりラッチされるので、WSM260がデータ転送動作のためにメモリブロック250を活性化する期間も読み出しに必要な最小限の期間にまで短縮でき、この読み出し後は、制御バス241とデータバス242が解放されるため、外部からのメモリブロック250へのアクセス動作が可能になる。

【0117】このように、書き込みデータをラッチすることで、メモリ250へのアクセス動作が効率的になる。

【0118】以上により、本実施形態2によれば、2種類のメモリ領域（メモリブロック230、250）とその間でデータを転送する転送機能を有する半導体記憶装置290において、より汎用的な使用方法と、書き込みの速いメモリブロック230に対するより効率的なアクセス動作と、書き込みの遅いメモリブロック250に対するより効率的なデータ格納を実現することができる。

【0119】なお、本実施形態2では、特に説明しなかったが、制御回路270および制御回路272が実際にメモリブロック230へのアクセス動作を行う期間は、そのアクセス動作に必要な十分な時間を与えてやればよく、正確なタイミングを要求するものではない。ただし、必要以上にこの期間を長く取ることは、タイミング的なマージンは確保できるものの、本発明によって得られるメリットが減少するので、適正な範囲で定める必要がある。

【0120】また、本実施形態2では、書き込みの速いメモリブロック230に適用した例を説明したが、実際にメモリブロック230をアクセス動作する期間を制限する構成は、書き込みの遅いメモリブロック250にも適用できる。

（実施形態3）図8は、本発明の実施形態3における半導体記憶装置の要部構成例を示すブロック図である。なお、図8には、本発明による半導体記憶装置のうち、この発明の説明に必要な部分のみ図示している。図8に示す半導体記憶装置390の構成は本発明による半導体記憶装置の一例であり、本実施形態3の構成を限定するものでないことは上記実施形態1、2の場合と同様である。また、半導体記憶装置390が持つ書き込みの速いメモリブロック330、331は、上記実施形態1で説明した半導体記憶装置190と同様に、メモリブロック330、331の少なくとも2個の独立動作可能なメモリ領域から構成されている。また、半導体記憶装置390が持つ書き込みの速いメモリは、上記実施形態2で説

明した半導体記憶装置290と同様に、書き込みの速いメモリの制御時に実際にアクセス動作する期間を制限する構成となっている。

【0121】上記実施形態1と同様、データ転送動作でメモリブロック330が使用されているとき、外部からメモリブロック331へのアクセス動作は、データ転送動作と独立して別に実行できるので、データ転送動作に影響を与えない。また、仮に、データ転送動作でメモリブロック330が使用されているときに、外部からもメモリブロック330が制御（メモリ動作）されると、上記実施形態2と同様に、擬似的に同時に制御できる。これらの構成により、外部からのアクセス動作（メモリ動作）がデータ転送動作に影響を与えにくくなっている。

【0122】以上のように、本実施形態3によれば、2種類のメモリ領域（メモリブロック330、331）とその間でデータを転送するデータ転送機能を有する半導体記憶装置390において、さらに汎用的な使用方法と、書き込みの速いメモリブロック330、331に対する更なる効率的なアクセス動作と、書き込みの遅いメモリブロック350に対するさらに効率的なデータ格納とを実現することができる。

【0123】以上により、本発明によれば、記憶されたデータを別のアドレスに転送するデータ転送動作と、データ転送動作に使用される記憶領域を半導体記憶装置外部から制御指令するメモリ動作とを行う半導体記憶装置において、データ転送動作と外部からのメモリ動作、さらにはメモリ動作同士を並行して行なう場合、これらが競合（ディセーブル信号CE#と内部転送信号の競合）したとしても、その制御を効率的に行うことができる。

【0124】なお、本実施形態3では、特に説明しなかったが、上記実施形態1で説明したように、書き込みの遅いメモリブロック350に対しても独立して動作が可能で複数の領域で構成する方法を適用することが可能であるし、上記実施形態2で説明したように、書き込みの遅いメモリブロック350に対しても実際にメモリブロック350を制御する期間を制限する構成を適用することが可能である。何れのメモリブロックにどれだけの本発明による構成を採用するかは、性能と回路規模のトレードオフとなり、デバイスの仕様や使用状況などに合わせて検討するべき問題である。

【0125】また、本実施形態1～3では、特に説明しなかったが、より高速な動作のために、図1、2、8の半導体記憶装置を一つの半導体チップ上に集積する。

【0126】さらに、本実施形態1～3では、半導体記憶装置について説明したが、本発明の半導体記憶装置を携帯電話装置やコンピュータなどのような情報機器に容易に組み込むことができ、本発明の効果を奏することができる。例えば、図9に示すように、情報機器100が、RAM（SRAMやDRAMなど）やROM（フラッシュメモリなど）などの情報記憶手段と、制御入力手

段と、初期画面や情報処理結果などを表示する液晶表示装置などの表示手段と、制御入力手段からの制御指令を受けて、所定の情報処理プログラムやそのデータに基づいて、情報記憶手段に対して情報の読出／書込処理（メモリ動作）やデータ転送動作などを行いつつ各種情報処理するCPU（中央処理演算装置）とを有する場合に、本発明の半導体記憶装置を情報記憶手段（RAMやROM）に容易に用いることができる。

【0127】ここで、本発明の半導体記憶装置を例えば携帯電話装置に使用した場合の作用効果について説明する。この説明では、フラッシュメモリとSRAMを搭載した携帯電話装置に関して、近年採用されているケースが多いフラッシュメモリとSRAMを同一パッケージに封止したスタックドパッケージメモリや、特願2000-176182号（明細書内に引用）の発明によってSRAMとフラッシュメモリを有するメモリを使用する場合のシステムを基準に、メモリアクセスの効率が向上することを定性的に説明する。

【0128】特願2000-176182号では、例えばSRAMからフラッシュメモリへのデータ転送機能を用意することにより、データ転送を実行中にもSRAMの操作が可能である。

【0129】本発明は、特願2000-176182号の発明によるメモリを実際のシステムに使用するにあたり、さらに利便性を増すものである。

【0130】近年、携帯電話装置では、メール機能やWeb閲覧、Java（米国のSun Microsystems社の登録商標）の実行などの高度な機能が搭載されている。

【0131】これらのアプリケーションでは、例えばメールの保存やWeb閲覧時のキャッシング、Javaのダウンロードなどで、一時的にSRAMに蓄えられた保存データをフラッシュメモリにデータ転送する状況が頻繁に発生する。

【0132】従来のスタックドパッケージメモリであれば、このようにSRAMに蓄えられたデータをフラッシュメモリへ保存するとき、CPUがSRAMに格納されたデータ内容を読み出して、読み出したデータをフラッシュメモリへ書き込むという動作を、全てのデータの保存が完了するまで繰り返していた。

【0133】フラッシュメモリが書き込みを実行している間はSRAMのアクセスが可能であるが、書き込み動作が終わったとき、データの保存を進行させるためには再びSRAMから保存内容を読み出してフラッシュメモリへ書き込むという動作を、データの全てを書き込むまで繰り返す必要があり、したがって、データ保存と他のアプリケーションの実行を同時進行するためには、高度なタスク管理が必要で、かつパフォーマンスの低下を伴うものであった。

【0134】特願2000-176182号の発明を使用したSRAMからフラッシュメモリへのバックグラウ

ンド転送が可能なメモリを使用すれば、SRAMの読出しとフラッシュメモリへの書込を一つ一つ実行する必要がなく、転送コマンドをメモリに対して入力すれば、その後は、転送実行中であってもSRAMのアクセスが可能であり、なおかつ、SRAMからフラッシュメモリへのデータ転送は進行する。

【0135】例えば、SRAMに一時的にダウンロードしたJavaアプリケーションをフラッシュメモリに保存すると同時に、そのJavaアプリケーションを実行するという状況が考えられる。

【0136】Javaアプリケーションの実行にはワークRAM領域が必要であるが、これにもJavaアプリケーションが格納されたSRAMと同じデバイスが使用される可能性があり、頻繁にアクセスされることになる。

【0137】データ転送動作により、SRAMに格納されたJavaアプリケーションは、フラッシュメモリへデータ転送されるが、同時にそのJavaアプリケーションを実行のためにSRAMから読み出す必要が生じ、また、Javaアプリケーションの実行の必要に応じてワークRAMのアクセスが要求される。

【0138】特願2000-176182号の発明によるメモリでは、このような同時動作が可能であるが、実行のためにSRAMを読み出す動作がデータ転送動作に影響を与える可能性がある。

【0139】即ち、外部からのSRAMの操作が優先的に処理されることによって、データ転送動作によるSRAMの内部的な読み出しが妨害されることがある。

【0140】本発明では、内部のデータ転送動作によるSRAMの読み出しと、外部からのSRAMのメモリ動作が重複したときも、それによってデータ転送動作の所要時間が増大する確率を低減することが可能である。

【0141】即ち、フラッシュメモリへのデータ保存によるSRAMの読み出しと、他のアプリケーションによるメモリ外部からのSRAMの操作（メモリ動作）の衝突（競合）する頻度が低減すれば、このアプリケーションの実行によってデータ転送動作の所要時間が増加することを抑制することが可能である。

【0142】以上のJavaアプリケーションの例では、Javaアプリケーションの保存と、Javaアプリケーション実行のための読み出しやワークRAMの操作は重複する可能性があり、それによってデータ転送動作の所要時間が増大する可能性があるが、本発明によりその頻度は減少し、Javaアプリケーションの実行がJavaアプリケーションの保存動作に与えるパフォーマンス低下を緩和する。

【0143】この特長により、本発明を使用したメモリでは、従来のスタックドパッケージメモリや特願2000-176182号で示されるメモリと比較して、フラッシュメモリへのデータ保存を伴うアプリケーションを複

数実行したり、フラッシュメモリへのデータ保存中に別のアプリケーションを実行することが比較的容易になる。

【発明の効果】以上により、本発明によれば、各小記憶領域を独立してアクセス動作が可能なメモリ制御手段を設ける場合と、記憶手段のメモリアレイを活性化する必要最小限のアクセス期間に限定するメモリ制御手段を設ける場合との少なくとも何れかを適用すれば、外部からのメモリ動作とデータ転送動作、外部からの各メモリ動作同士が競合する確率を低下させることができる。よって、例えば、外部からのメモリ動作を優先的に処理しつつデータ転送動作の速度低下を抑制するかまたは、データ転送動作を優先的に処理しつつ外部からのメモリ動作が妨害される確率を低減することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1における半導体記憶装置の要部構成例を示すブロック図である。

【図2】本発明の実施形態2における半導体記憶装置の要部構成例を示すブロック図である。

【図3】図2の制御回路の具体的構成例を示す回路図である。

【図4】図3の制御回路の入力端と出力端の信号波形図である。

【図5】図3の制御回路とは別の具体的構成例を示す回路図である。

【図6】図5の制御回路の入力端と出力端の信号波形図である。

【図7】(a)および(b)はディセーブル信号CE#と内部転送信号が重複する場合の内部活性化信号の状態を示すタイミングチャート図、(c)は、一方によるメモリ動作の期間中に、他方によるメモリ動作が複数回実行された場合の内部活性化信号の状態を示すタイミングチャート図である。

【図8】本発明の実施形態3における半導体記憶装置の要部構成例を示すブロック図である。

【図9】本発明の半導体記憶装置を情報機器に適用させた場合の情報機器の基本構成を示すブロック図である。

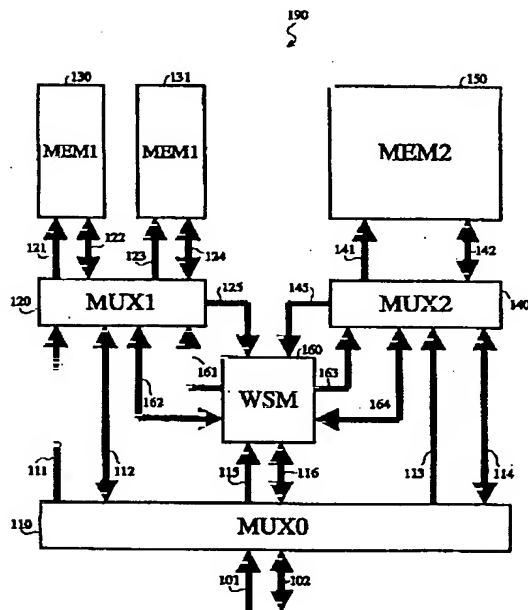
【図10】従来の半導体記憶装置の要部構成例を示すブロック図である。

【符号の説明】

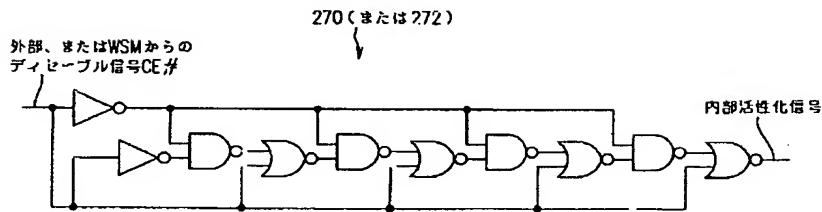
100	情報機器	
101, 201, 301	制御バス	
102, 202, 302	データ入出力バス	
110, 210, 310	切り替え回路	
111, 211, 311	制御バス	
112, 212, 312	データ入出力バス	
113, 213, 313	制御バス	
114, 214, 314	データ入出力バス	
115, 215, 315	制御バス	
116, 216, 316	データ入出力バス	
120, 220, 320	切り替え回路	

121, 123, 221, 321, 323 制御バス
 122, 124, 222, 322, 324 データ入出力バス
 130, 131, 230, 330, 331 メモリブロック
 140, 240, 340 切り替え回路
 141, 241, 341 制御バス
 142, 242, 342 データ入出力バス
 150, 250, 350 メモリブロック
 160, 260, 360 WSM
 161, 163, 261, 263, 361, 363

【図1】

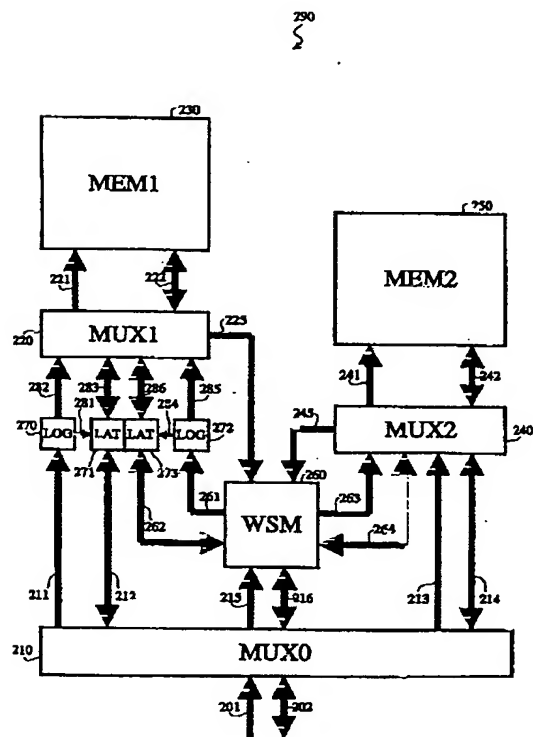


【図3】

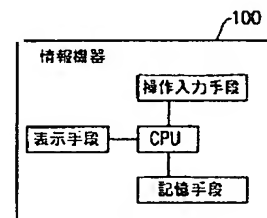


制御バス
 162, 164, 262, 264, 362, 364
 データ入出力バス
 270, 270A, 272, 272A, 370, 372
 制御回路
 271, 273, 371, 373 ラッチ回路
 281, 284, 381, 384 制御バス
 282, 285, 382, 385 制御バス
 283, 286, 383, 386 データ入出力バス
 190, 290, 390 半導体記憶装置

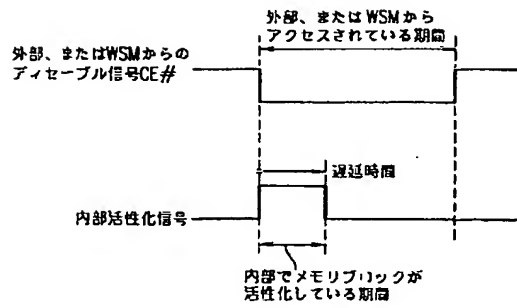
【図2】



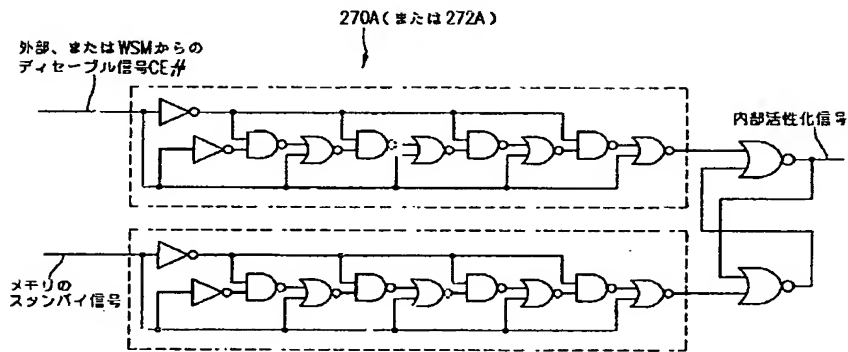
【図9】



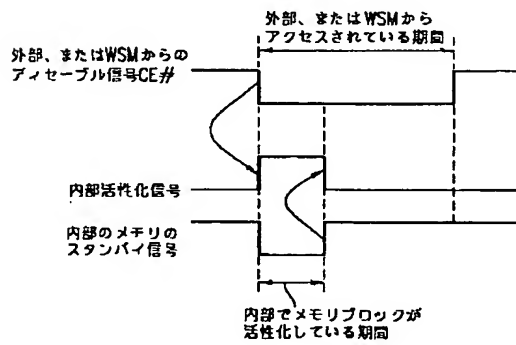
【図4】



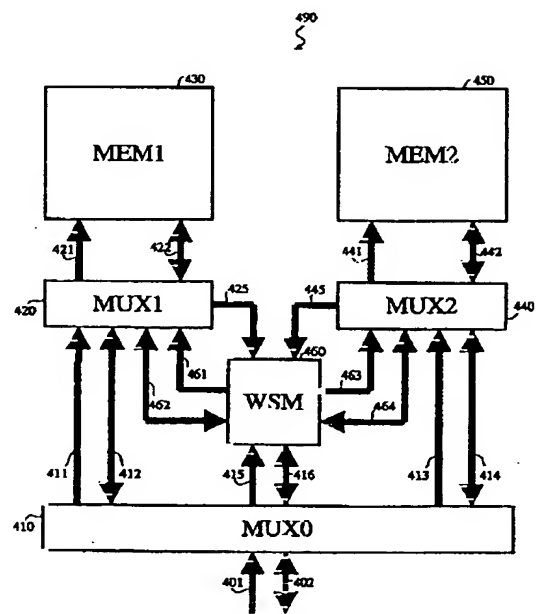
【図5】



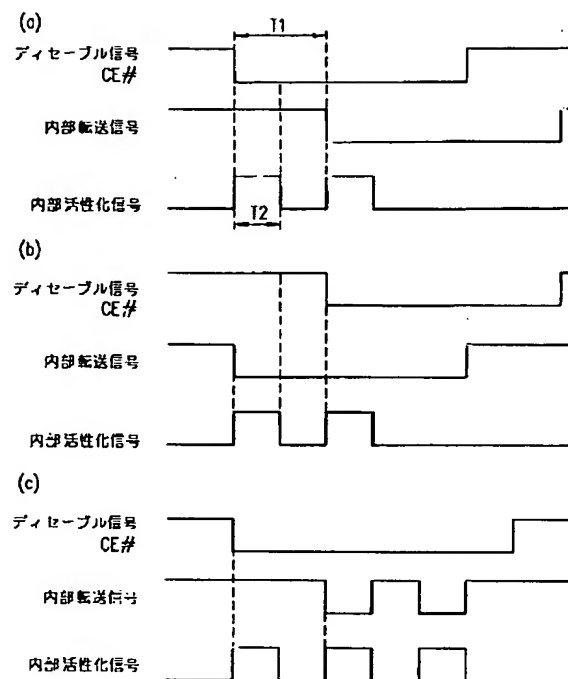
【図6】



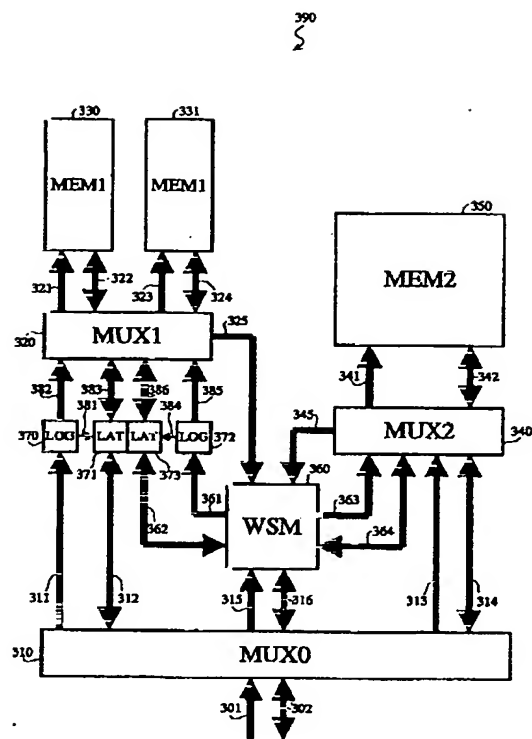
【図10】



【図7】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.